

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-023683

(43)Date of publication of application : 23.01.2002

(51)Int. Cl. G09G 3/20

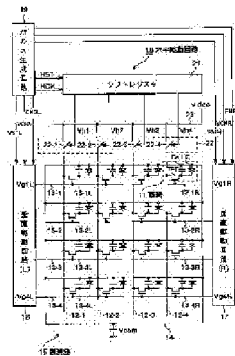
G02F 1/133

G09G 3/36

(21)Application number : 2000- (71)Applicant : SONY CORP
206225

(22)Date of filing : 07.07.2000 (72)Inventor : UCHINO KATSUhide
KAJIMA TAKEYASU
YAMASHITA JUNICHI

(54) DISPLAY DEVICE AND DRIVE METHOD THEREFOR



(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that if a write time is short for the pixels at the end of one-line scanning, it is impossible to take a sufficient write time for the pixels, therefore, this causes a shortage of video signal writing and the occurrence of shading.

SOLUTION: In an active matrix type liquid crystal display device of a dot- sequential driving system, gate lines 13-1-13-4 of a pixel part 15 are separated at the center part into the left and right parts, i.e., the left side gate lines 13-1L-13-4L and the right side gate lines 13-1R-13-4R, and vertical driving circuits 16, 17 are arranged on both left

and right sides of the pixel part 15 and also scanning pulses Vg1L-Vg4L are sequentially outputted from the vertical driving circuit 16 and are applied to the gate lines 13-1L-13-4L, while the scanning pulses Vg1R-Vg4R whose phases are delayed about 1/2H with respect to the scanning pulses Vg1L-Vg4L are sequentially outputted from the vertical driving circuit 17 and applied to the gate lines 13-1R-13-4R.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While a pixel is arranged in the shape of a matrix, a signal line is wired for every train and a gate line is wired for every line to these pixel array, respectively The picture element part from which the

1st and 2nd gate line group comes to separate these gates line into right and left in a central part, The 1st vertical-drive means which is arranged to said picture element part at the one side of a horizontal direction, and gives the 1st scan pulse to each gate line of said 1st gate line group one by one, The 2nd vertical-drive means which gives the 2nd scan pulse which has been arranged to said picture element part at the other side of a horizontal direction, and was behind [each gate line of said 2nd gate line group] in the phase to said 1st scan pulse one by one, The display characterized by having the level driving means which carries out sequential supply of the video signal through said signal line to said 1st [the], said 1st [the] to which the 2nd scan pulse is given, and the pixel connected to each gate line of the 2nd gate line group from the said 1st and 2nd vertical-drive means.

[Claim 2] Said 2nd vertical-drive means is a display according to claim 1 which is after generating of said 1st scan pulse, and is characterized by generating said 2nd scan pulse before the write-in timing of the first pixel in the direction of a horizontal scanning among the pixels connected to each gate line of said 2nd gate line group.

[Claim 3] The display according to claim 2 characterized by the phase lags of the 2nd [to said 1st scan pulse] scan pulse being Abbreviation $1/2H$ (H being a horizontal scanning period).

[Claim 4] If the 1st perpendicular start pulse is given, said 1st vertical-drive means This 1st perpendicular start pulse is shifted in order synchronizing with the 1st perpendicular clock. From each shift stage It has the shift register which carries out a sequential output as a shift pulse used as the criteria of said 1st scan pulse. Said 2nd vertical-drive means If the 2nd perpendicular start pulse which was in the phase to the 1st perpendicular start pulse is given This 2nd perpendicular start pulse is shifted in order synchronizing with the 2nd perpendicular clock which was in the phase to the 1st perpendicular clock. From each shift stage The display according to claim 2 characterized by having the shift register which carries out a sequential output as a shift pulse used as the criteria of said 2nd scan pulse.

[Claim 5] The display according to claim 1 characterized by the display element of said pixel being a liquid crystal cell.

[Claim 6] While giving a scan pulse to said gate line one by one by the vertical scanning to the picture element part by which a pixel is arranged in the shape of a matrix, and a signal line is wired for every train and it comes to wire a gate line for every line to these pixel array, respectively In the display which carries out sequential supply

of the video signal through said signal line at the pixel connected to the gate line on which said scan pulse is given Divide the gate line of said picture element part into right and left in the central part, and it divides into the 1st and 2nd gate line group. The drive approach of the display characterized by giving the 2nd scan pulse which was in the phase to said 1st scan pulse on each gate line of said 2nd gate line group on the occasion of a vertical scanning while giving the 1st scan pulse to each gate line of said 1st gate line group one by one one by one.

[Claim 7] The drive approach of the display according to claim 6 characterized by giving said 2nd scan pulse to each gate line of said 2nd gate line group before the write-in timing of the first pixel in the direction of a horizontal scanning among the pixels which are after giving said 1st scan pulse to each gate line of said 1st gate line group, and are connected to each gate line of said 2nd gate line group.

[Claim 8] The drive approach of the display according to claim 7 characterized by the phase lags of the 2nd [to said 1st scan pulse] scan pulse being Abbreviation $1/2H$ (H being a horizontal scanning period).

[Claim 9] The drive approach of the display according to claim 6 characterized by the display element of said pixel being a liquid crystal cell.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the active-matrix mold indicating equipment and its drive approach of a

point sequential drive method about an indicating equipment and its drive approach.

[0002]

[Description of the Prior Art] As a drive method of an indicating equipment, for example, the active matrix liquid crystal indicating equipment using the liquid crystal cell as a display element of a pixel A pixel carries out sequential generating of the scan pulse of fixed pulse width by the vertical scanning to the picture element part which it comes to arrange in the shape of a matrix. While making fixed period selection of the pixel for one line connected to the gate line concerned by giving this scan pulse to the gate line wired for every line By carrying out sequential supply of the video signal through the signal line wired for every train by the horizontal scanning, there is a point sequential drive method which writes in a video signal in order to the pixel of each line per line.

[0003] Since the writing of a video signal is performed in an order from a left-hand side pixel to the pixel for a party of the line which is in the condition that fixed period selection was made, in the active matrix liquid crystal display of this dot order following drive method at the time of a horizontal scanning, By scan initiation one end for one line, the time amount which writes a video signal in a pixel becomes very short by scan termination one end to a thing with the very long time amount which writes a video signal in a pixel so that clearly from the timing chart of drawing 7 .

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, in a point sequential drive method active matrix liquid crystal display As opposed to the write-in time amount of the scan initiation one end pixel for one line Since the write-in time amount of a scan termination one end pixel is very short, Like a UXGA (ultra extended graphics array) format or HD(high definition) 1080I format When the horizontal number of pixels increases and a level blanking period becomes short, it becomes impossible to fully take the write-in time amount of a scan termination one end pixel along with it. By this, write-in lack of a video signal will occur, consequently shading will arise, and image quality will deteriorate.

[0005] Moreover, although the driving method make every 1H (H is a horizontal scanning period) reverse the polarity of the video signal written in each pixel generally in an active matrix liquid crystal display to the common electrical potential difference Vcom which is predetermined direct current voltage is taken In order to raise the

contrast of a liquid crystal panel in recent years, it is in the inclination of the increment of the amplitude to the common electrical potential difference V_{com} of a video signal (for example, 7.5V) to conventional 4.5V to 5.0V and 5.5V.

[0006] Thus, if the amplitude to the common electrical potential difference V_{com} of a video signal increases The amplitude concerned For example, since the high-level side of a video signal becomes high with 13V ($=7.5V+5.5V$) and considering the case where it is made to increase to 5.5V the potential difference with the potential (for example, 15.5V) of a gate line becomes very small, In the scan termination one end pixel which cannot fully take especially write-in time amount, it becomes easy to generate write-in lack of the video signal to the pixel concerned.

[0007] This invention is made in view of the above-mentioned technical problem, and the place made into the purpose is by fully securing the write-in time amount of the pixel of horizontal scan termination one end also about the format with a short level blanking period to offer the display which can attain high definition image quality without shading, and its drive approach.

[0008]

[Means for Solving the Problem] While a pixel is arranged in the shape of a matrix, a signal line is wired for every train and a gate line is wired for every line to these pixel array, respectively, the display by this invention The picture element part from which the 1st and 2nd gate line group comes to separate these gates line into right and left in a central part, The 1st vertical-drive means which is arranged to this picture element part at the one side of a horizontal direction, and gives the 1st scan pulse to the 1st gate line group one by one, The 2nd vertical-drive means which gives the 2nd scan pulse which has been arranged to a picture element part at the other side of a horizontal direction, and was behind [the 2nd gate line group] in the phase to the 1st scan pulse one by one, It has composition equipped with the level driving means which carries out sequential supply of the video signal through a signal line to the 1st, the 1st to which the 2nd scan pulse is given, and the pixel connected to each gate line of the 2nd gate line group from the 1st and 2nd vertical-drive means.

[0009] In the display of the above-mentioned configuration, the 1st and 2nd vertical-drive means bears the vertical scanning to each gate line of the 1st and 2nd gate line group divided into right and left in the central part, respectively. And the 2nd vertical-drive means gives the 2nd scan pulse which was in the phase to the 1st scan pulse to each gate line of the 2nd gate line group one by one to the 1st vertical-drive

means giving the 1st scan pulse to each gate line of the 1st gate line group one by one in the case of a vertical scanning.

[0010]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0011] Drawing 1 is the circuit diagram showing the example of a configuration of the active matrix liquid crystal display of the point sequential drive method concerning 1 operation gestalt of this invention. Here, the case of the pixel array of four-line four trains is taken and shown to the example for simplification of a drawing. In addition, in the active matrix liquid crystal indicating equipment, the thin film transistor (TFT; thin film transistor) is usually used as a switching element of each pixel.

[0012] In drawing 1, the pixel 11 for four line x4 train is arranged in the shape of a matrix. Each of these pixels 11 consists of retention volume Cs with which one electrode was connected to the thin film transistor TFT which is a pixel transistor, liquid crystal cell LC by which the pixel electrode was connected to the drain electrode of this thin film transistor TFT, and the drain electrode of a thin film transistor TFT.

[0013] To each of these pixels 11, a signal line 12-1 to 12-4 is wired along the pixel array direction for every train, and the gate line 13-1 to 13-4 is wired along the pixel array direction for every line. However, about the gate line 13-1 to 13-4, it separates into right and left in the center section. Here, in the gate line 13-1 to 13-4 after separating into right and left, gate line 13-1L - 13-4L and the gate line group on the right-hand side of drawing are set to gate line 13-1R - 13-4R for the gate line group on the left-hand side of drawing.

[0014] In each of a pixel 11, the source electrode (or drain electrode) of a thin film transistor TFT is respectively connected to the corresponding signal line 12-1 to 12-4. The gate electrode of a thin film transistor TFT is respectively connected to gate line 13-1L - 13-4L and gate line 13-1R - 13-4R. The counterelectrode of liquid crystal cell LC and the electrode of another side of retention volume Cs are connected to Cs Rhine 14 in common between each pixel. Predetermined direct current voltage (for example, 7.5V) is given to this Cs Rhine 14 as a common electrical potential difference Vcom.

[0015] The picture element part 15 which a pixel 11 is arranged in the shape of a matrix by the above, and a signal line 12-1 to 12-4 is wired for every train to these pixels 11, and gate line 13-1L - 13-4L and gate line 13-1R - 13-4R are divided into right and left for every line, and

it comes to wire is constituted.

[0016] Two vertical-drive circuits 16 and 17 are arranged to this picture element part 15 at horizontal both sides, i.e., right-and-left both sides, respectively. And one edge each of gate line 13-1L which is a gate line group on the left-hand side of a picture element part 15 - 13-4L is connected to the outgoing end of each line of the vertical-drive circuit (L) 16, respectively, and one edge each of gate line 13-1R which is a right-hand side gate line group - 13-4R is connected to the outgoing end of each line of the vertical-drive circuit (R) 17, respectively.

[0017] The vertical-drive circuits 16 and 17 are scanned perpendicularly (line writing direction) for every 1 field period, and processing which makes sequential selection of each pixel 11 connected to gate line 13-1L - 13-4L and gate line 13-1R - 13-4R per line is performed. The concrete configuration and its actuation of these vertical-drives circuits 16 and 17 are explained to a detail later.

[0018] The level drive circuit 18 is arranged at the picture element part 15 bottom. Moreover, the pulse forming network 19 which generates various kinds of pulse signals used in the vertical-drive circuits 16 and 17 or the level drive circuit 18 is formed. In this pulse forming network 19, pulse signals, such as the 1st and 2nd perpendicular start pulse VSTL and VSTR, 1st, and 2nd perpendicular clock VCKL and VCKR, 1st, and 2nd enabling pulse ENBL and ENBR, the level start pulse HST, and the level clock HCK, are generated.

[0019] Here, respectively, the 1st and 2nd perpendicular clock VCKL and VCKR reaches respectively, and, as for each of the 1st and 2nd enabling pulse ENBL and ENBR, only predetermined time serves as a signal of the 1st and 2nd perpendicular start pulse VSTL and VSTR with which the phase shifted mutually. The phase serves as predetermined time and phase relation in which only abbreviation $1/2H$ was preferably to the perpendicular start pulse VSTL and the perpendicular clock VCKL which the perpendicular start pulse VSTR and the perpendicular clock VCKR which are used for the right-hand side vertical-drive circuit 17, and the enabling pulse ENBR specifically use for the left-hand side vertical-drive circuit 16, and the enabling pulse ENBL, respectively.

[0020] The level drive circuit 18 is for performing processing which writes the video signal video inputted to each pixel 11 which carries out a sequential sampling and is chosen by the vertical-drive circuits 16 and 17 per line in every $1H$, and has the composition of having a shift register 21 and the sampling switch group 22.

[0021] If a shift register 21 consists of a shift stage of the number of

level pixels / the number of coincidence samplings of a picture element part 15 (they are 86 pieces at $1024/12=85$ a little more than 4 if for example, the number of level pixels is a 1024 or 12-dot coincidence sampling) and the level start pulse HST is given, a shift action will be performed synchronizing with the level clock HCK. Thereby, from each shift stage of a shift register 21, the sequential output of the shift pulse with the same pulse width as the period of the level clock HCK is carried out. These shift pulses are given to the sampling switch group 22 as sampling pulses Vh1-Vh4.

[0022] The sampling switch group 22 consists of four switches 22-1 to 22-4 corresponding to the pixel train of a picture element part 15, and it connects with the video line 23 on which one edge each of these switches 22-1 to 22-4 inputs a video signal video, and each other end is connected to one edge each of the signal line 12-1 to 12-4 of a picture element part 15. If sampling pulses Vh1-Vh4 are given from a shift register 21, by answering this and being in an ON state at order, these switches 22-1 to 22-4 will carry out the sequential sampling of the video signal video inputted through the video line 23, and will supply it to a signal line 12-1 to 12-4.

[0023] Then, the concrete example of a configuration of the vertical-drive circuits 16 and 17 is explained. In addition, since the vertical-drive circuits 16 and 17 are the completely same circuitry, the vertical-drive circuit 16 shall be taken and explained to an example here. Moreover, as 1st perpendicular clock VCKL, the perpendicular clocks VCKL and VCKXL of opposition shall be used mutually. The perpendicular clocks VCKR and VCKXR of opposition shall be similarly used mutually about the 2nd perpendicular clock VCKL.

[0024] Drawing 2 is the block diagram showing an example of the circuitry of the vertical-drive circuit 16. In drawing 2, the vertical-drive circuit 16 has the composition of having a shift register 31 and the logic-gate circuit 32.

[0025] If a shift register 31 consists of a shift stage (S/R stage) of the number corresponding to the number of pixels of the perpendicular direction of a picture element part 15 and the perpendicular start pulse VSTL is given, synchronizing with the perpendicular clocks VCKL and VCKLX of opposition, a shift action will be performed mutually. Thereby, from each shift stage of a shift register 31, the sequential output of shift pulses SP1, SP2, and SP3 and with the same pulse width as the period of the perpendicular clocks VCKL and VCKXL is carried out.

[0026] The logic-gate circuit 32 has NAND gate 321-1, 321-2, 321-3 prepared corresponding to the shift stage of a shift register 31,,

an inverter 322-1, 322-2, 322-3, ..., the composition of having NAND gate 323-1, 323-2, 323-3, ... and an inverter 324-1, 324-2, 324-3, and ..

[0027] In this logic-gate circuit 32, NAND gate 321-1, 321-2, 321-3 and consider the 1st step of a shift register 31, the 2nd step, the 3rd step, the shift pulses SP1, SP2, and SP3 of .. outputted from each shift stage, and .. as the input of one way each, and consider the enabling pulse ENBL as the input of each another side. It is respectively reversed by the inverter 322-1, 322-2, 322-3 and ..., and each output pulse of these NAND gates 321-1, 321-2, 321-3 and serves as an input of one way each of NAND gate 323-1, 323-2, 323-3 and ..

[0028] NAND gate 323-1, 323-2, 323-3 and consider the perpendicular clocks VCKL and VCKXL of opposition as the input of another side by turns mutually. namely, NAND gate 323-1 -- the perpendicular clock VCKL -- NAND gate 323-2 -- the perpendicular clock VCKXL -- NAND gate 323-3 -- the perpendicular clock VCKL it considers as the input of another side, respectively.

[0029] After [NAND gate 323-1, 323-2, 323-3 and] it is reversed by the inverter 324-1, 324-2, 324-3 and ..., each output pulse becomes scan pulse Vg1L, Vg2L, Vg3L, and .., and is given to each of gate line 13-1L of a picture element part 15, 13-2L, 13-3L, and .. The timing relationship of the perpendicular start pulse VSTL, the perpendicular clocks VCKL and VCKXL, shift pulses SP1 and SP2 and scan pulse Vg1L, and Vg2L is shown in drawing 3 .

[0030] In addition, although considered as shift pulses SP1 and SP2 and the circuitry which takes NAND with enable signal ENBL to in the logic-gate circuit 32 concerning this example, it is not restricted to this circuitry. For example, you may be NAND with the vertical-scanning pulses VCKL and VCKXL, **, and circuitry that takes NAND with enable signal ENBL after that with shift pulses SP1 and SP2 and Moreover, you may be circuitry of the adjacent shift pulses 1, i.e., SP, and SP2, SP2, SP3 and which takes NAND and takes NAND with enable signal ENBL after that. The concrete circuitry of logic-gate circuit 32' in this case is shown in drawing 4 .

[0031] Also in the right-hand side vertical-drive circuit 17, scan pulse Vg1R, Vg2R, Vg3R, and are generated by the perpendicular start pulse VSTR and each based on the perpendicular clocks VCKR and VCKXR of opposition, and the enabling pulse ENBR by the completely same configuration as the left-hand side vertical-drive circuit 16. And these scan pulse Vg1R, Vg2R, Vg3R, and are given to each of gate line 13-1R, 13-2R, 13-3R, and ..

[0032] As point ** was carried out, here the right-hand side

perpendicular start pulse VSTR, the perpendicular clocks VCKR and VCKXR, and the enabling pulse ENBR Since only abbreviation $1/2H$ is behind in the phase to the left-hand side perpendicular start pulse VSTL, the perpendicular clocks VCKL and VCKXL, and the enabling pulse ENBL, respectively, as shown in the timing chart of drawing 5 Also as for right-hand side scan pulse Vg1R, Vg2R, and, a phase will be only in abbreviation $1/2H$ to left-hand side scan pulse Vg1L, Vg2L, and ..., respectively.

[0033] Thus, while dividing the gate line 13-1 of a picture element part 15, 13-2, and into right and left in the central part and dividing into left-hand side gate line 13-1L - 13-4L and right-hand side gate line 13-1R - 13-4R While arranging the vertical-drive circuits 16 and 17 on right-and-left both sides of a picture element part 15, and carrying out the sequential output of the scan pulse Vg1 L-Vg4L from the vertical-drive circuit 16 and giving gate line 13-1L - 13-4L scan pulse Vg1 L-Vg4L -- receiving -- a phase -- about 1 -- by carrying out the sequential output of the scan pulse Vg1 R-Vg4R in which only $1/2 H$ were from the vertical-drive circuit 17, and giving gate line 13-1R - 13-4R, the write-in time amount of the scan termination one end pixel in each line is securable enough.

[0034] Namely, if its attention is paid to the writing of the video signal video to each pixel of the 1st line, as shown in the timing chart of drawing 6 By scan pulse Vg1L being given to left-hand side gate line 13-1L, answering the level start pulse HST, and the level drive by the level drive circuit 18 being started The writing of a video signal video is performed sequentially from the pixel by the side of the leftmost of the 1st line (first pixel in the direction of a horizontal scanning).

[0035] At and when [the time of the writing arriving at the pixel near the center of the 1st line, i.e., when the time amount of Abbreviation $1/2H$ has passed since write-in initiation of a pixel of the 1st line,] By scan pulse Vg1R being given to right-hand side gate line 13-1R Following on the writing of the pixel by the side of the rightmost connected to gate line 13-1L, the writing of a video signal video is performed sequentially from the pixel by the side of the leftmost connected to gate line 13-1R.

[0036] the timing chart of the last sampling timing (this example generating timing of a sampling pulse Vh4) by the shift register 21 of the level drive circuit 18 since the pulse width of scan pulse Vg1R is the same pulse width as scan pulse Vg1L here, and drawing 5 -- the timing of Hout -- the pulse width of scan pulse Vg1R -- it becomes half timing mostly.

[0037] The write-in time amount of the video signal video over the pixel by the side of the rightmost of the 1st line, i.e., the pixel of the scan termination edge of the 1st line, turns into the pulse width period $1/2H$ of the second half one half of scan pulse $Vg1R$, i.e., abbreviation, from the last sampling timing $Hout$ of the 1st line so that clearly from this. Therefore, the write-in time amount of the scan termination edge pixel of the 1st line is fully securable so that clearly from contrast with the timing chart (conventional example) of drawing 7 .

[0038] Thereby, like a UXGA format (1200 pixels of level 1600-pixel x perpendiculars), or HD1080I format (1080 pixels of level 1920-pixel x perpendiculars), since write-in lack of the video signal video in a scan termination edge pixel does not arise even if the horizontal number of pixels increases and a level blanking period becomes short, shading can also be suppressed.

[0039] In the active matrix liquid crystal display which took the driving method made every $1H$ reverse the polarity of the video signal especially written in each pixel to the common electrical potential difference $Vcom$ (for example, 7.5V) The amplitude to the common electrical potential difference $Vcom$ of a video signal video for the purpose of improvement in contrast for example, when it is made to increase to 5.5V Even if the potential difference with the potential (for example, 15.5V) of the gate line 13-1, 13-2, and becomes very small the high-level side of a video signal video By write-in time amount being securable enough, write-in lack of the video signal video in a scan termination one end pixel does not occur.

[0040] In addition, in the above-mentioned operation gestalt although only abbreviation $1/2H$ is in the phase of right-hand side scan pulse $Vg1R$, $Vg2R$, and .. to left-hand side scan pulse $Vg1L$, $Vg2L$, and The phase lag is not restricted to $1/2H$, and even if it is less than $H/2$, it can lengthen write-in time amount of the scan termination edge pixel for one line by the phase lag. However, before the write-in timing to the first pixel in the right-hand side direction of a horizontal scanning comes in the case of the horizontal scanning to the pixel for one line so that clearly from the explanation of operation mentioned above, it becomes conditions that right-hand side scan pulse $Vg1R$, $Vg2R$, and have occurred.

[0041] Moreover, although the above-mentioned operation gestalt explained the case where it applied to the liquid crystal display which carried the analog interface drive circuit which considers an analog video signal as an input, samples this, and drives each pixel in point sequential A digital video signal can be considered as an input, after

latching this, it can change into an analog video signal, and it can apply to the liquid crystal display which carried the digital interface drive circuit which samples this analog video signal and drives each pixel in point sequential similarly.

[0042] Furthermore, in the above-mentioned operation gestalt, although the case where it applied to the liquid crystal display using the liquid crystal cell as a display element of a pixel was taken and explained to the example, it is not restricted to application to a liquid crystal display, and can apply to the active-matrix mold display of a point sequential drive method at large.

[0043] In the pixel array after writing in a video signal as a point sequential drive method out of well-known 1H reversal drive method or a dot reversal drive method The so-called dot line reversal drive method which writes the video signal of reversed polarity in coincidence mutually is in the pixel of two lines left odd lines between adjacent pixel trains, for example, two lines of the upper and lower sides, so that it may become like-pole nature by the pixel of the right and left which the polarity of a pixel adjoins and may become reversed polarity by the up-and-down pixel.

[0044]

[Effect of the Invention] As explained above, according to this invention, it sets to the active-matrix mold display of a point sequential drive method. Divide the gate line of a picture element part into right and left in the central part, and it divides into the 1st and 2nd gate line group. By having given the 2nd scan pulse which was behind [the 2nd gate line group] in the phase to the 1st scan pulse on the occasion of a vertical scanning while giving the 1st scan pulse to the 1st gate line group one by one one by one Since the write-in time amount of a horizontal scan termination one end pixel is fully securable, high definition image quality without shading can be attained also about the format with a short level blanking period.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the example of a configuration of the active matrix liquid crystal display of the point sequential drive method concerning 1 operation gestalt of this invention.

[Drawing 2] It is the block diagram showing an example of the concrete circuitry of a vertical-drive circuit.

[Drawing 3] It is a timing chart for explanation of a vertical-drive circuit of operation.

[Drawing 4] It is the block diagram showing other examples of the concrete circuitry of a vertical-drive circuit.

[Drawing 5] It is the timing chart which shows the phase relation between a left-hand side scan pulse and a right-hand side scan pulse.

[Drawing 6] It is the timing chart which shows the write-in time amount over the scan termination edge pixel in the case of this operation gestalt.

[Drawing 7] It is the timing chart which shows the write-in time amount over the scan termination edge pixel in the case of the conventional example.

[Description of Notations]

11 [-- A left-hand side gate line group, 13-1R - 13-4R / -- A right-hand side gate line group, 15 / -- 16 A picture element part, 17 / -- A vertical-drive circuit, 18 / -- A level drive circuit, 19 / -- 21 A pulse forming network, 31 / -- A shift register, 22 / -- A sampling switch group, 32, 32' / -- Logic-gate circuit] -- A pixel, 12-1 to 12-4 -- A signal line, 13-1 to 13-4 -- A gate line, 13-1L - 13-4L

[Translation done.]

* NOTICES *

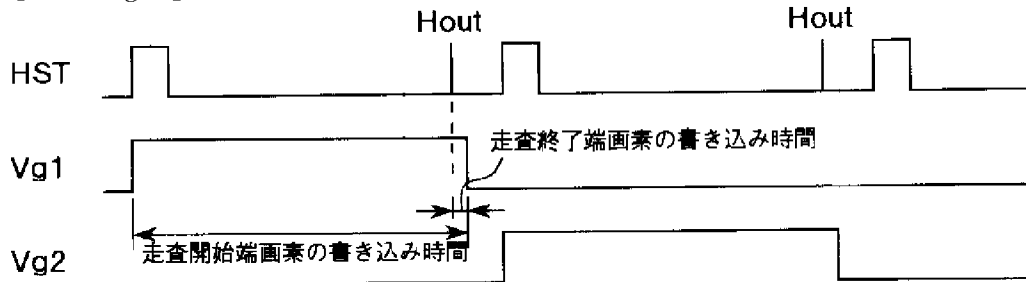
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

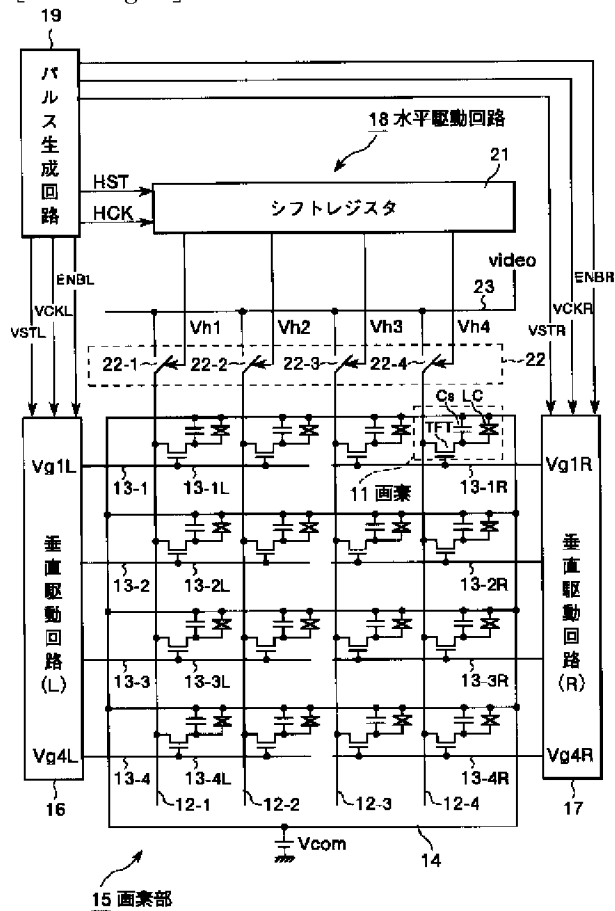
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

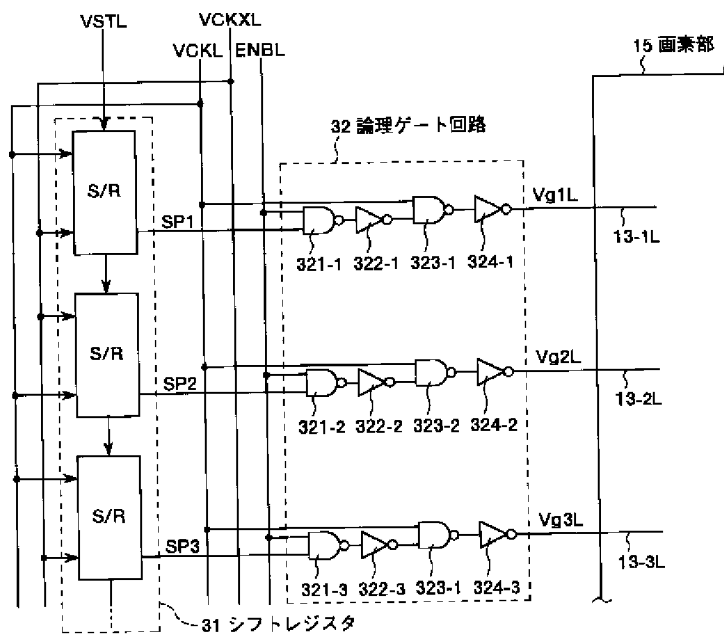
[Drawing 7]



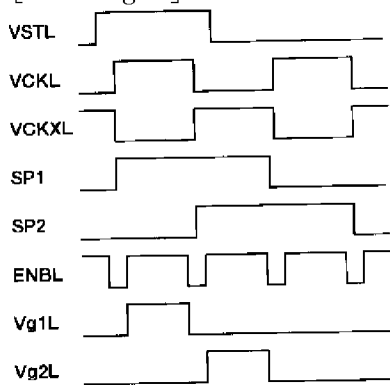
[Drawing 1]



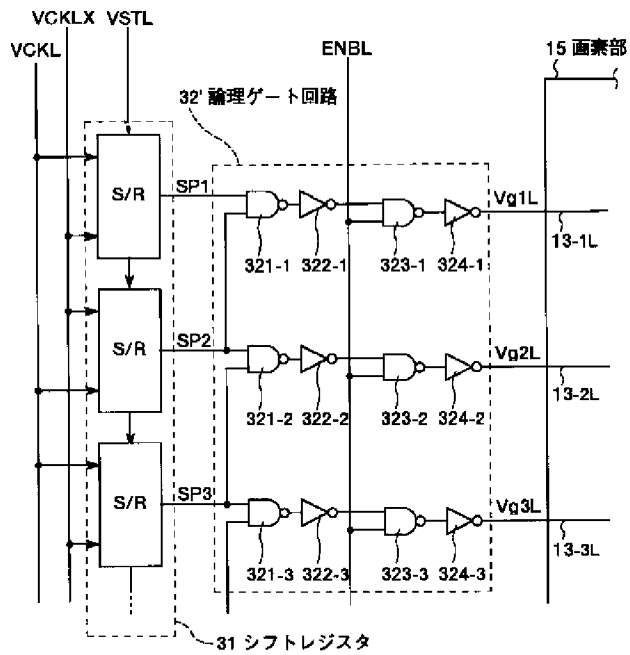
[Drawing 2]



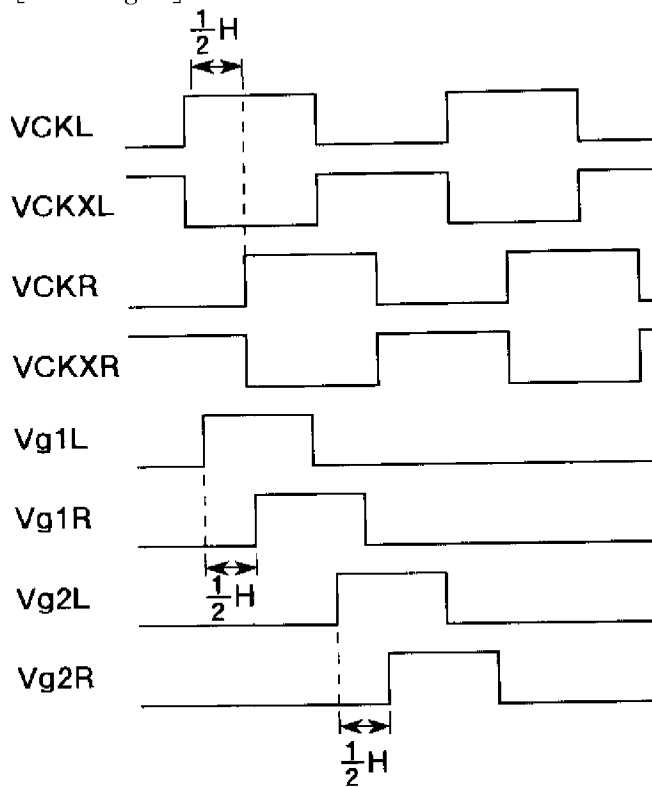
[Drawing 3]



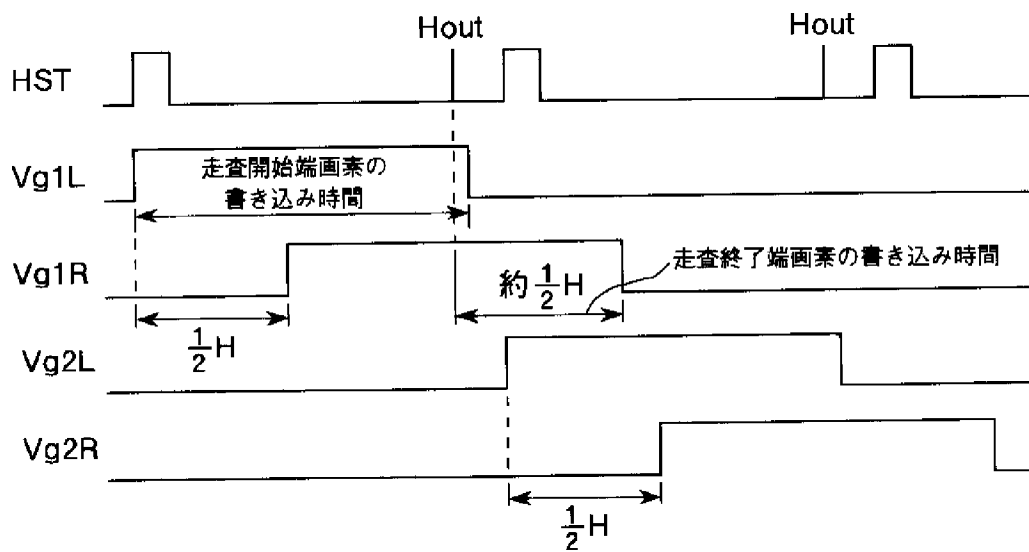
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-23683
(P2002-23683A)

(43)公開日 平成14年1月23日(2002.1.23)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル*(参考)
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 K 2 H 0 9 3 6 2 2 D 5 C 0 0 6
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 8 0
G 0 9 G 3/36		G 0 9 G 3/36	

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21)出願番号 特願2000-206225(P2000-206225)

(22)出願日 平成12年7月7日(2000.7.7)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 廣島 丈泰

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

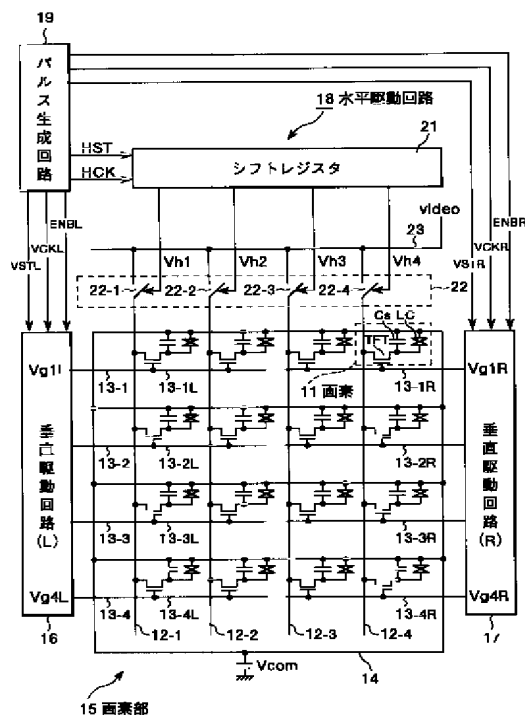
最終頁に続く

(54)【発明の名称】 表示装置およびその駆動方法

(57)【要約】

【課題】 1行分の走査終了端側画素の書き込み時間が短いと、当該画素に対する書き込み時間を十分にとることができないため、映像信号の書き込み不足が起き、シェーディングが生じる。

【解決手段】 点順次駆動方式アクティブマトリクス型液晶表示装置において、画素部15のゲートライン13-1~13-4をその中央部分で左右に分離して左側のゲートライン13-1L~13-4Lと右側のゲートライン13-1R~13-4Rとに分けるとともに、画素部15の左右両側に垂直駆動回路16、17を配置しかつ走査パルスVg1L~Vg4Lを垂直駆動回路16から順次出力してゲートライン13-1L~13-4Lに与える一方、走査パルスVg1L~Vg4Lに対して位相が約1/2H遅れた走査パルスVg1R~Vg4Rを垂直駆動回路17から順次出力してゲートライン13-1R~13-4Rに与えるようにする。



【特許請求の範囲】

【請求項1】 画素が行列状に配置され、これら画素配列に対して各列ごとに信号ラインが、各行ごとにゲートラインがそれぞれ配線されるとともに、これらゲートラインが中央部分で左右に第1、第2のゲートライン群に分離されてなる画素部と、

前記画素部に対して水平方向の一方側に配置され、前記第1のゲートライン群の各ゲートラインに第1の走査パルスを送与する第1の垂直駆動手段と、

前記画素部に対して水平方向の他方側に配置され、前記第2のゲートライン群の各ゲートラインに前記第1の走査パルスに対して位相が遅れた第2の走査パルスを順次送与する第2の垂直駆動手段と、

前記第1、第2の垂直駆動手段から前記第1、第2の走査パルスが与えられる前記第1、第2のゲートライン群の各ゲートラインに接続された画素に対して前記信号ラインを通して映像信号を順次供給する水平駆動手段とを備えたことを特徴とする表示装置。

【請求項2】 前記第2の垂直駆動手段は、前記第1の走査パルスの発生後であって、前記第2のゲートライン群の各ゲートラインに接続されている画素のうち、水平走査方向における一番目の画素の書き込みタイミング以前に前記第2の走査パルスを発生することを特徴とする請求項1記載の表示装置。

【請求項3】 前記第1の走査パルスに対する第2の走査パルスの位相遅れが約 $1/2H$ (H は水平走査期間)であることを特徴とする請求項2記載の表示装置。

【請求項4】 前記第1の垂直駆動手段は、第1の垂直スタートパルスが与えられると、この第1の垂直スタートパルスを第1の垂直クロックに同期して順にシフトして各シフト段から、前記第1の走査パルスの基準となるシフトパルスとして順次出力するシフトレジスタを有し、

前記第2の垂直駆動手段は、第1の垂直スタートパルスに対して位相が遅れた第2の垂直スタートパルスが与えられると、この第2の垂直スタートパルスを第1の垂直クロックに対して位相が遅れた第2の垂直クロックに同期して順にシフトして各シフト段から、前記第2の走査パルスの基準となるシフトパルスとして順次出力するシフトレジスタを有することを特徴とする請求項2記載の表示装置。

【請求項5】 前記画素の表示エレメントが液晶セルであることを特徴とする請求項1記載の表示装置。

【請求項6】 画素が行列状に配置され、これら画素配列に対して各列ごとに信号ラインが、各行ごとにゲートラインがそれぞれ配線されてなる画素部に対して、垂直走査によって前記ゲートラインに走査パルスを順次送与するとともに、前記走査パルスが与えられるゲートラインに接続された画素に前記信号ラインを通して映像信号を順次供給する表示装置において、

前記画素部のゲートラインをその中央部分で左右に分離して第1、第2のゲートライン群に分け、垂直走査の際に、前記第1のゲートライン群の各ゲートラインに第1の走査パルスを順次送与する一方、前記第2のゲートライン群の各ゲートラインに前記第1の走査パルスに対して位相が遅れた第2の走査パルスを順次送与することを特徴とする表示装置の駆動方法。

【請求項7】 前記第1の走査パルスを前記第1のゲートライン群の各ゲートラインに送与した後であって、前記第2のゲートライン群の各ゲートラインに接続されている画素のうち、水平走査方向における一番目の画素の書き込みタイミング以前に前記第2の走査パルスを前記第2のゲートライン群の各ゲートラインに送与することを特徴とする請求項6記載の表示装置の駆動方法。

【請求項8】 前記第1の走査パルスに対する第2の走査パルスの位相遅れが約 $1/2H$ (H は水平走査期間)であることを特徴とする請求項7記載の表示装置の駆動方法。

【請求項9】 前記画素の表示エレメントが液晶セルであることを特徴とする請求項6記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置およびその駆動方法に関し、特に点順次駆動方式のアクティブマトリクス型表示装置およびその駆動方法に関する。

【0002】

【従来の技術】表示装置、例えば液晶セルを画素の表示エレメントとして用いたアクティブマトリクス型液晶表示装置の駆動方式として、画素が行列状に配置されてなる画素部に対して、垂直走査によって一定パルス幅の走査パルスを順次発生し、この走査パルスを各行ごとに配線されたゲートラインに送与することによって当該ゲートラインに接続された1行分の画素を一定期間選択する一方、水平走査によって各列ごとに配線された信号ラインを通して映像信号を順次供給することにより、行単位で各行の画素に対して順番に映像信号を書き込む点順次駆動方式がある。

【0003】この点順次駆動方式のアクティブマトリクス型液晶表示装置において、一定期間選択された状態にある行の一行分の画素に対して、水平走査時に、左側の画素から順番に映像信号の書き込みが行われるため、図7のタイミングチャートから明らかなように、1行分の走査開始端側では画素に映像信号を書き込む時間が非常に長いのにに対して、走査終了端側では画素に映像信号を書き込む時間が非常に短くなる。

【0004】

【発明が解決しようとする課題】上述したように、点順次駆動方式アクティブマトリクス型液晶表示装置では、1行分の走査開始端側画素の書き込み時間に対して、走

査終了端側画素の書き込み時間が非常に短いため、UXGA (ultra extended graphics array) フォーマットやHD (high definition) 1080i フォーマットなどのように、水平方向の画素数が多くなり、水平ブランキング期間が短くなると、それにつれて走査終了端側画素の書き込み時間を十分に与えることができなくなる。これにより、映像信号の書き込み不足が起き、その結果、シェーディングが生じ、画質が悪化することになる。

【0005】また、アクティブマトリクス型液晶表示装置においては、一般的に、各画素に書き込む映像信号の極性を、所定の直流電圧であるコモン電圧 V_{com} に対して1H (Hは水平走査期間) ごとに反転させる駆動法が採られるが、近年、液晶パネルのコントラストを上げるために、映像信号のコモン電圧 V_{com} (例えば、7.5V) に対する振幅を従来の4.5Vから5.0V、5.5Vへと増加の傾向にある。

【0006】このように、映像信号のコモン電圧 V_{com} に対する振幅が増加すると、当該振幅を例えば5.5Vに増加させた場合を考えると、映像信号の高レベル側が13V (=7.5V+5.5V) と高くなり、ゲートラインの電位 (例えば、15.5V) との電位差が非常に小さくなるため、特に書き込み時間を十分に与えることができない走査終了端側画素では、当該画素への映像信号の書き込み不足が発生しやすくなる。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、水平ブランキング期間が短いフォーマットについても、水平方向の走査終了端側の画素の書き込み時間を十分に確保することにより、シェーディングのない高精細な画質を達成できる表示装置およびその駆動方法を提供することにある。

【0008】

【課題を解決するための手段】本発明による表示装置は、画素が行列状に配置され、これら画素配列に対して各列ごとに信号ラインが、各行ごとにゲートラインがそれぞれ配線されるとともに、これらゲートラインが中央部分で左右に第1、第2のゲートライン群に分離される画素部と、この画素部に対して水平方向の一方側に配置され、第1のゲートライン群に第1の走査パルスを順次与える第1の垂直駆動手段と、画素部に対して水平方向の他方側に配置され、第2のゲートライン群に第1の走査パルスに対して位相が遅れた第2の走査パルスを順次与える第2の垂直駆動手段と、第1、第2の垂直駆動手段から第1、第2の走査パルスが与えられる第1、第2のゲートライン群の各ゲートラインに接続された画素に対して信号ラインを通して映像信号を順次供給する水平駆動手段とを備えた構成となっている。

【0009】上記構成の表示装置において、中央部分で左右に分離された第1、第2のゲートライン群の各ゲートラインに対する垂直走査を第1、第2の垂直駆動手段がそれぞれ担う。そして、垂直走査の際に、第1の垂直

駆動手段が第1のゲートライン群の各ゲートラインに第1の走査パルスを順次与えるのに対して、第2の垂直駆動手段は第1の走査パルスに対して位相が遅れた第2の走査パルスを第2のゲートライン群の各ゲートラインに順次与える。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0011】図1は、本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。ここでは、図面の簡略化のために、4行4列の画素配列の場合を例に採って示している。なお、アクティブマトリクス型液晶表示装置では、通常、各画素のスイッチング素子として薄膜トランジスタ (TFT; thin film transistor) が用いられている。

【0012】図1において、4行×4列分の画素11が行列状に配置されている。これら画素11の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。

【0013】これら画素11の各々に対して、信号ライン12-1~12-4が各列ごとにその画素配列方向に沿って配線され、ゲートライン13-1~13-4が各行ごとにその画素配列方向に沿って配線されている。ただし、ゲートライン13-1~13-4については、その中央部において左右に分離されている。ここで、左右に分離後のゲートライン13-1~13-4において、図の左側のゲートライン群をゲートライン13-1L~13-4L、図の右側のゲートライン群をゲートライン13-1R~13-4Rとする。

【0014】画素11の各々において、薄膜トランジスタTFTのソース電極 (または、ドレイン電極) は、対応する信号ライン12-1~12-4に各々接続されている。薄膜トランジスタTFTのゲート電極は、ゲートライン13-1L~13-4L、ゲートライン13-1R~13-4Rに各々接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14には、所定の直流電圧 (例えば、7.5V) がコモン電圧 V_{com} として与えられる。

【0015】以上により、画素11が行列状に配置され、これら画素11に対して信号ライン12-1~12-4が各列ごとに配線されかつゲートライン13-1L~13-4L、ゲートライン13-1R~13-4Rが各行ごとに左右に分離されて配線される画素部15が構成されている。

【0016】この画素部15に対して、水平方向の両

側、即ち左右両側に2つの垂直駆動回路16、17がそれぞれ配置されている。そして、画素部15の左側のゲートライン群であるゲートライン13-1L～13-4Lの各一端が垂直駆動回路(L)16の各行の出力端にそれぞれ接続され、右側のゲートライン群であるゲートライン13-1R～13-4Rの各一端が垂直駆動回路(R)17の各行の出力端にそれぞれ接続されている。

【0017】垂直駆動回路16、17は、1フィールド期間ごとに垂直方向(行方向)に走査して、ゲートライン13-1L～13-4L、ゲートライン13-1R～13-4Rに接続された各画素11を行単位で順次選択する処理を行う。これら垂直駆動回路16、17の具体的な構成およびその動作については後で詳細に説明する。

【0018】画素部15の例えば上側には、水平駆動回路18が配置されている。また、垂直駆動回路16、17や水平駆動回路18で用いる各種のパルス信号を生成するパルス生成回路19が設けられている。このパルス生成回路19では、第1、第2の垂直スタートパルスVSTL、VSTR、第1、第2の垂直クロックVCKL、VCKR、第1、第2のイネーブルパルスENBL、ENBR、水平スタートパルスHST、水平クロックHCKなどのパルス信号が生成される。

【0019】ここで、第1、第2の垂直スタートパルスVSTL、VSTRの各々、第1、第2の垂直クロックVCKL、VCKRの各々および第1、第2のイネーブルパルスENBL、ENBRの各々は、互いに所定時間だけ位相がずれた信号となっている。具体的には、右側の垂直駆動回路17に用いる垂直スタートパルスVSTR、垂直クロックVCKRおよびイネーブルパルスENBRが、左側の垂直駆動回路16に用いる垂直スタートパルスVSTL、垂直クロックVCKLおよびイネーブルパルスENBLに対してそれぞれ位相が所定時間、好ましくは約 $1/2H$ だけ遅れた位相関係となっている。

【0020】水平駆動回路18は、入力される映像信号videoを1Hごとに順次サンプリングし、垂直駆動回路16、17によって行単位で選択される各画素11に対して書き込む処理を行うためのものであり、シフトレジスタ21およびサンプリングスイッチ群22を有する構成となっている。

【0021】シフトレジスタ21は、画素部15の水平画素数/同時サンプリング数(例えば、水平画素数が1024、12ドット同時サンプリングならば、 $1024/12=85$ 余り4で86個)のシフト段からなり、水平スタートパルスHSTが与えられると、水平クロックHCKに同期してシフト動作を行う。これにより、シフトレジスタ21の各シフト段からは、水平クロックHCKの周期と同じパルス幅を持つシフトパルスが順次出力される。これらシフトパルスは、サンプリングスイッチ群22にサンプリングパルスVh1～Vh4として与えられる。

【0022】サンプリングスイッチ群22は、画素部15の画素列に対応した4個のスイッチ22-1～22-4からなり、これらスイッチ22-1～22-4の各一端が映像信号videoを入力するビデオライン23に接続され、また各他端が画素部15の信号ライン12-1～12-4の各一端に接続されている。これらスイッチ22-1～22-4は、シフトレジスタ21からサンプリングパルスVh1～Vh4が与えられると、これにตอบสนองして順にオン状態となることにより、ビデオライン23を通して入力される映像信号videoを順次サンプリングして信号ライン12-1～12-4に供給する。

【0023】続いて、垂直駆動回路16、17の具体的な構成例について説明する。なお、垂直駆動回路16、17は全く同じ回路構成であるので、ここでは、垂直駆動回路16を例に採って説明するものとする。また、第1の垂直クロックVCKLとしては、互いに逆相の垂直クロックVCKL、VCKXLが用いられるものとする。第2の垂直クロックVCKLについても同様に、互いに逆相の垂直クロックVCKR、VCKXRが用いられるものとする。

【0024】図2は、垂直駆動回路16の回路構成の一例を示すブロック図である。図2において、垂直駆動回路16は、シフトレジスタ31および論理ゲート回路32を有する構成となっている。

【0025】シフトレジスタ31は、画素部15の垂直方向の画素数に対応した数のシフト段(S/R段)からなり、垂直スタートパルスVSTLが与えられると、互いに逆相の垂直クロックVCKL、VCKLXに同期してシフト動作を行う。これにより、シフトレジスタ31の各シフト段からは、垂直クロックVCKL、VCKXLの周期と同じパルス幅を持つシフトパルスSP1、SP2、SP3、……が順次出力される。

【0026】論理ゲート回路32は、シフトレジスタ31のシフト段に対応して設けられたNANDゲート321-1、321-2、321-3、……、インバータ322-1、322-2、322-3、……、NANDゲート323-1、323-2、323-3、……およびインバータ324-1、324-2、324-3、……を有する構成となっている。

【0027】この論理ゲート回路32において、NANDゲート321-1、321-2、321-3、……は、シフトレジスタ31の1段目、2段目、3段目、……の各シフト段から出力されるシフトパルスSP1、SP2、SP3、……を各一方の入力とし、イネーブルパルスENBLを各他方の入力とする。これらNANDゲート321-1、321-2、321-3、……の各出力パルスは、インバータ322-1、322-2、322-3、……で各々反転されてNANDゲート323-1、323-2、323-3、……の各一方の入力となる。

【0028】NANDゲート323-1、323-2、32

3-3, ……は、互いに逆相の垂直クロックVCKL, VCKXLを交互に他方の入力とする。すなわち、NANDゲート323-1が垂直クロックVCKLを、NANDゲート323-2が垂直クロックVCKLXを、NANDゲート323-3が垂直クロックVCKLを、……それぞれ他方の入力とする。

【0029】NANDゲート323-1, 323-2, 323-3, ……の各出力パルスは、インバータ324-1, 324-2, 324-3, ……で反転された後、走査パルスVg1L, Vg2L, Vg3L, ……となって画素部15のゲートライン13-1L, 13-2L, 13-3L, ……の各々に与えられる。図3に、垂直スタートパルスVSTL, 垂直クロックVCKL, VCKXL, シフトパルスSP1, SP2および走査パルスVg1L, Vg2Lのタイミング関係を示す。

【0030】なお、本例に係る論理ゲート回路32では、シフトパルスSP1, SP2, ……に対してイネーブル信号ENBLとのNANDをとる回路構成としたが、この回路構成に限られるものではない。例えば、シフトパルスSP1, SP2, ……と垂直走査パルスVCKL, VCKXLとのNANDとり、その後にイネーブル信号ENBLとのNANDをとる回路構成であっても良い。また、隣り合うシフトパルス同士、即ちSP1とSP2, SP2とSP3, ……のNANDをとり、その後にイネーブル信号ENBLとのNANDをとる回路構成であっても良い。この場合の論理ゲート回路32'の具体的な回路構成を図4に示す。

【0031】右側の垂直駆動回路17においても、左側の垂直駆動回路16と全く同様の構成により、垂直スタートパルスVSTR, 互いに逆相の垂直クロックVCKR, VCKXRおよびイネーブルパルスENBRに基づいて、走査パルスVg1R, Vg2R, Vg3R, ……が生成される。そして、これら走査パルスVg1R, Vg2R, Vg3R, ……がゲートライン13-1R, 13-2R, 13-3R, ……の各々に与えられる。

【0032】ここで、先述したように、右側の垂直スタートパルスVSTR, 垂直クロックVCKR, VCKXRおよびイネーブルパルスENBRが、左側の垂直スタートパルスVSTL, 垂直クロックVCKL, VCKXLおよびイネーブルパルスENBLに対してそれぞれ位相が例えば約 $1/2H$ だけ遅れていることから、図5のタイミングチャートに示すように、右側の走査パルスVg1R, Vg2R, ……も、左側の走査パルスVg1L, Vg2L, ……に対してそれぞれ位相が約 $1/2H$ だけ遅れることになる。

【0033】このように、画素部15のゲートライン13-1, 13-2, ……をその中央部分で左右に分離して左側のゲートライン13-1L~13-4Lと右側のゲートライン13-1R~13-4Rとに分けるとともに、画素部15の左右両側に垂直駆動回路16, 17を配置しかつ走

査パルスVg1L~Vg4Lを垂直駆動回路16から順次出力してゲートライン13-1L~13-4Lに与える一方、走査パルスVg1L~Vg4Lに対して位相が約 $1/2H$ だけ遅れた走査パルスVg1R~Vg4Rを垂直駆動回路17から順次出力してゲートライン13-1R~13-4Rに与えることで、各行における走査終了端側画素の書き込み時間を十分確保できる。

【0034】すなわち、1行目の各画素への映像信号videoの書き込みに着目すると、図6のタイミングチャートに示すように、走査パルスVg1Lが左側のゲートライン13-1Lに与えられ、水平スタートパルスHSTに応答して水平駆動回路18による水平駆動が開始されることで、1行目の一番左側の画素（水平走査方向における一番目の画素）から順に映像信号videoの書き込みが行われる。

【0035】そして、その書き込みが1行目の中央付近の画素に到来した時点、即ち1行目の画素の書き込み開始から約 $1/2H$ の時間が経過した時点で、走査パルスVg1Rが右側のゲートライン13-1Rに与えられることで、ゲートライン13-1Lに接続されている一番右側の画素の書き込みに引き続いて、ゲートライン13-1Rに接続されている一番左側の画素から順に映像信号videoの書き込みが行われる。

【0036】ここで、走査パルスVg1Rのパルス幅は走査パルスVg1Lと同じパルス幅であることから、水平駆動回路18のシフトレジスタ21による最終サンプリングタイミング（本例では、サンプリングパルスVh4の発生タイミング）、図5のタイミングチャートではHoutのタイミングが、走査パルスVg1Rのパルス幅のほぼ半分のタイミングとなる。

【0037】このことから明らかなように、1行目の一番右側の画素、即ち1行目の走査終了端の画素に対する映像信号videoの書き込み時間は、1行目の最終サンプリングタイミングHoutから走査パルスVg1Rの後半半分のパルス幅期間、即ち約 $1/2H$ となる。したがって、図7のタイミングチャート（従来例）との対比から明らかなように、1行目の走査終了端画素の書き込み時間を十分に確保することができる。

【0038】これにより、UXGAフォーマット（水平1600画素×垂直1200画素）やHD1080iフォーマット（水平1920画素×垂直1080画素）などのように、水平方向の画素数が多くなり、水平ブランキング期間が短くなっても、走査終了端画素での映像信号videoの書き込み不足が生じないため、シェーディングも抑えることができる。

【0039】特に、各画素に書き込む映像信号の極性を、コモン電圧Vcom（例えば、7.5V）に対して $1H$ ごとに反転させる駆動法を採ったアクティブマトリクス型液晶表示装置において、コントラストの向上を目的として、映像信号videoのコモン電圧Vcomに

対する振幅を例えば5.5Vへと増加させた場合に、映像信号videoの高レベル側とゲートライン13-1, 13-2, ……の電位(例えば、15.5V)との電位差が非常に小さくなったとしても、書き込み時間を十分確保できることにより、走査終了端側画素での映像信号videoの書き込み不足が発生することはない。

【0040】なお、上記実施形態においては、左側の走査パルスVg1L, Vg2L, ……に対して右側の走査パルスVg1R, Vg2R, ……の位相が約 $1/2H$ だけ遅れるとしたが、その位相遅れは $1/2H$ に限られるものではなく、 $1/2H$ 以内であっても、その位相遅れ分だけ1行分の走査終了端画素の書き込み時間を長くすることができる。ただし、上述した動作説明から明かなように、1行分の画素に対する水平走査の際に、右側の水平走査方向における一番目の画素に対する書き込みタイミングが到来する以前に、右側の走査パルスVg1R, Vg2R, ……が発生していることが条件となる。

【0041】また、上記実施形態では、アナログ映像信号を入力とし、これをサンプリングして点順次にて各画素を駆動するアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、これをラッチした後アナログ映像信号に変換し、このアナログ映像信号をサンプリングして点順次にて各画素を駆動するデジタルインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【0042】さらに、上記実施形態においては、画素の表示エレメントとして液晶セルを用いた液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、点順次駆動方式のアクティブマトリクス型表示全般に適用可能である。

【0043】点順次駆動方式としては、周知の1H反転駆動方式やドット反転駆動方式の外に、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行、例えば上下の2行の画素に互いに逆極性の映像信号を同時に書き込むいわゆるドットライン反転駆動方式などがあ

る。

【0044】

【発明の効果】以上説明したように、本発明によれば、点順次駆動方式のアクティブマトリクス型表示装置において、画素部のゲートラインをその中央部分で左右に分離して第1, 第2のゲートライン群に分け、垂直走査の際に、第1のゲートライン群に第1の走査パルスを順次与える一方、第2のゲートライン群に第1の走査パルスに対して位相が遅れた第2の走査パルスを順次与えるようにしたことにより、水平方向の走査終了端側画素の書き込み時間を十分に確保できるため、水平ブランキング期間が短いフォーマットについても、シェーディングのない高精細な画質を達成できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

【図2】垂直駆動回路の具体的な回路構成の一例を示すブロック図である。

【図3】垂直駆動回路の動作説明のためのタイミングチャートである。

【図4】垂直駆動回路の具体的な回路構成の他の例を示すブロック図である。

【図5】左側の走査パルスと右側の走査パルスとの位相関係を示すタイミングチャートである。

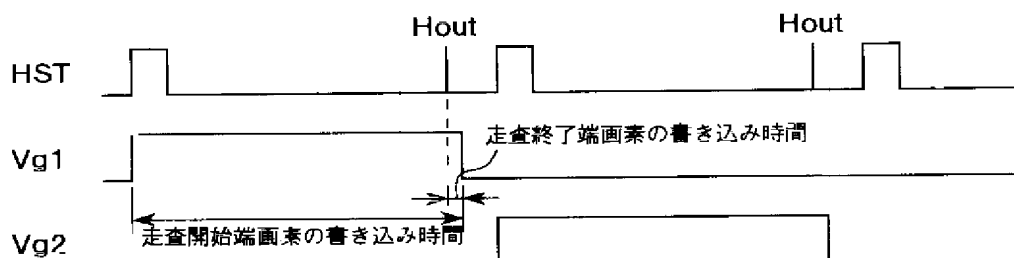
【図6】本実施形態の場合の走査終了端画素に対する書き込み時間を示すタイミングチャートである。

【図7】従来例の場合の走査終了端画素に対する書き込み時間を示すタイミングチャートである。

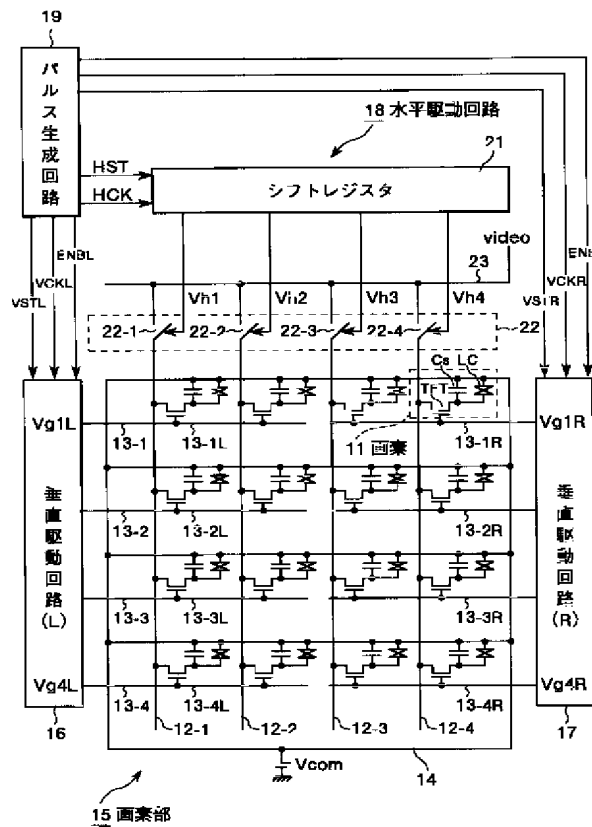
【符号の説明】

11…画素、12-1～12-4…信号ライン、13-1～13-4…ゲートライン、13-1L～13-4L…左側のゲートライン群、13-1R～13-4R…右側のゲートライン群、15…画素部、16, 17…垂直駆動回路、18…水平駆動回路、19…パルス生成回路、21, 31…シフトレジスタ、22…サンプリングスイッチ群、32, 32'…論理ゲート回路

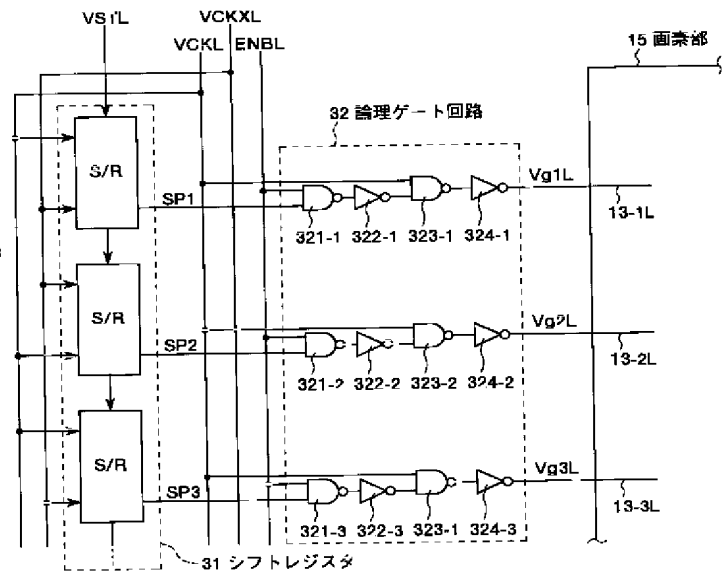
【図7】



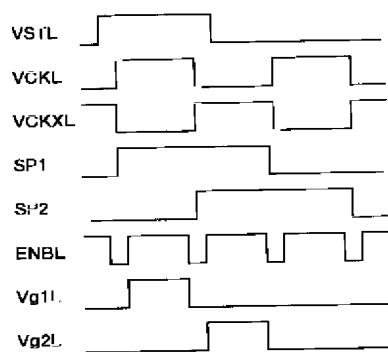
【図1】



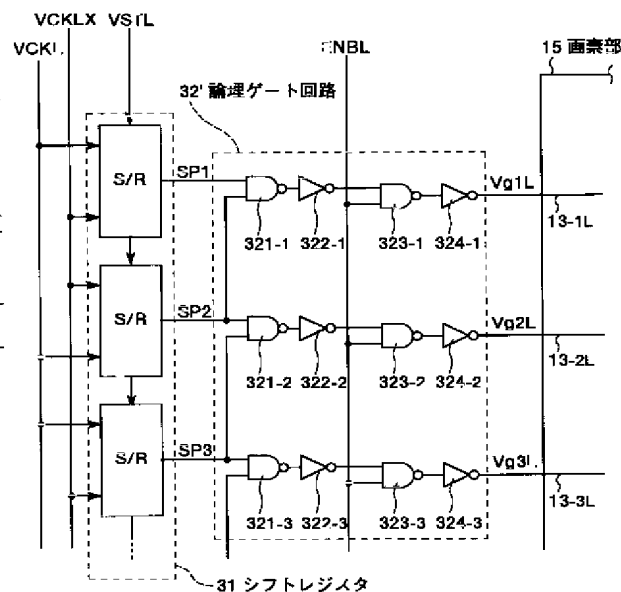
【図2】



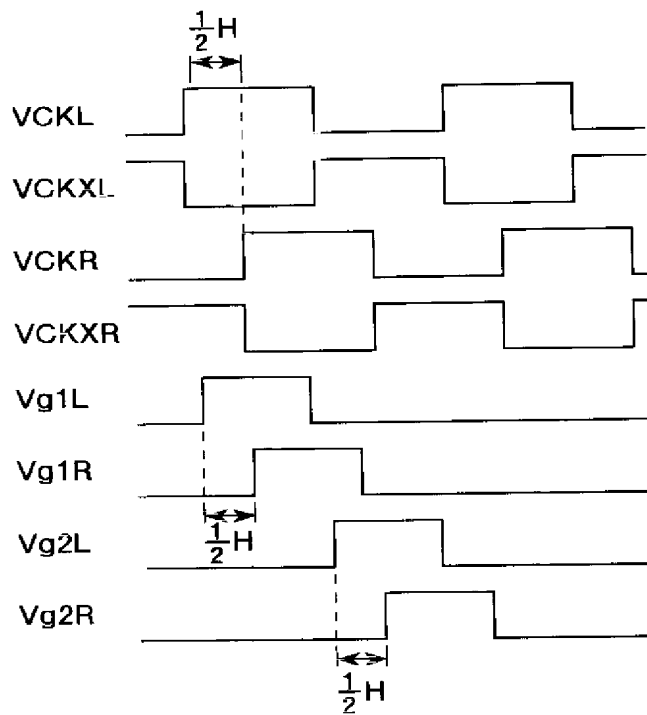
【図3】



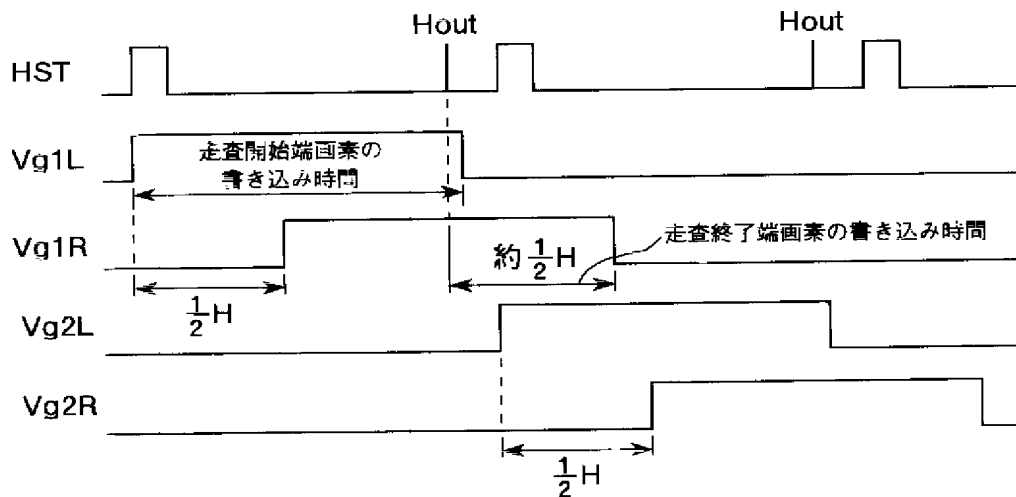
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 山下 淳一
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

F ターム(参考) 2H093 NA32 NA42 NB25 NC09 NC11
NC22 NC23 NC34 ND04
5C006 AA22 AC02 AC09 AC22 AF63
AF72 BB16 BC03 BC06 BC13
BF03 BF26 FA22
5C080 AA10 BB05 CC03 DD05 DD30
EE28 FF09 JJ02 JJ03 JJ04
KK02 KK43